

POWERED BY Dialog

Mains based home system specification digital data transmitter modulator - has a 132.5 kilohertz central transmission frequency of 9600 BPS capacity, with combination filters
Patent Assignee: BELTRAN BLAZQUEZ F A

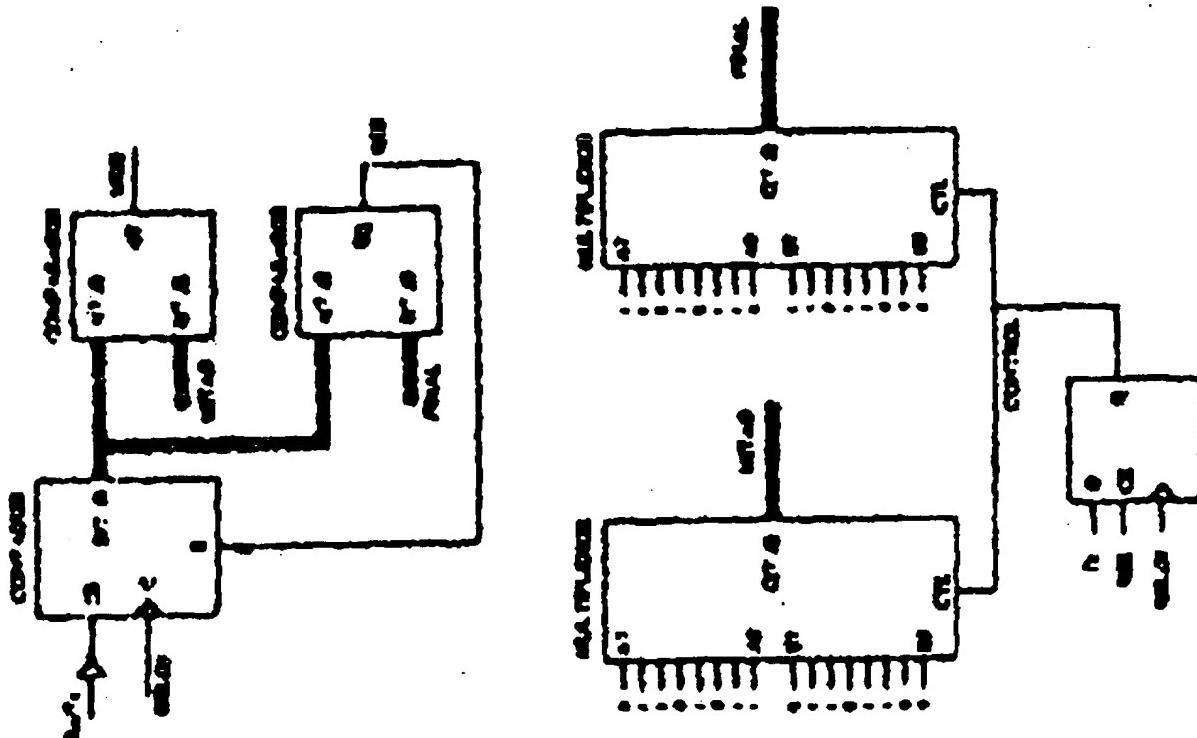
Patent Family

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
ES 2122920	A1	19981216	ES 962696	A	19961219	199906	B
ES 2122920	B1	19990801	ES 962696	A	19961219	199937	

Priority Applications (Number Kind Date): ES 962696 A (19961219)

Patent Details

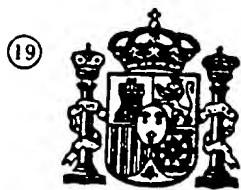
Patent	Kind	Language	Page	Main IPC	Filing Notes
ES 2122920	A1		1	H04B-003/54	
ES 2122920	B1			H04B-003/54	



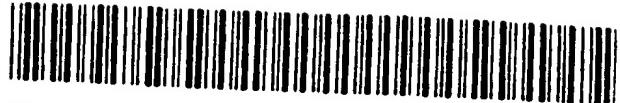
Derwent World Patents Index

© 2002 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 12257045



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS
ESPAÑA



(11) Número de publicación: 2 122 920
(21) Número de solicitud: 9602696
(51) Int. Cl.⁶: H04B 3/54

(12)

SOLICITUD DE PATENTE

A1

(22) Fecha de presentación: 19.12.96

(43) Fecha de publicación de la solicitud: 16.12.98

(43) Fecha de publicación del folleto de la solicitud:
16.12.98

(71) Solicitante/s: Fernando A. Beltrán Blázquez
María de Luna, 3
50130 Belchite, Zaragoza, ES
Jesús Navarro Artigas,
Pablo J. Hernández Blasco y
Isabel García Lucía

(72) Inventor/es: Beltrán Blázquez, Fernando A.;
Navarro Artigas, Jesús;
Hernández Blasco, Pablo J. y
García Lucía, Isabel

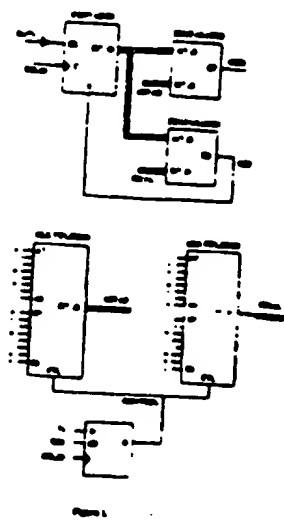
(74) Agente: Pons Ariño, Angel

(54) Título: Modulador/demodulador de implementación digital adaptado a la norma HSS (Home System Specification) para transmisión de datos a través de la red eléctrica.

(57) Resumen:

Modulador/demodulador de implementación digital adaptado a la norma HSS (Home System Specification) para transmisión de datos a través de la red eléctrica.

Es un sistema electrónico de implementación digital que realiza las funciones de modulación y demodulación, incluida la detección de portadora, para transmisión de datos a través de la red eléctrica y que cumple las especificaciones recogidas en la norma europea Home System Specification, con un tipo de modulación/demodulación FSK, frecuencia central de transmisión de 132.5 kHz y una desviación de ± 0.6 kHz. La velocidad máxima de transmisión de datos es de 9.600 bps, y posee una serie de filtros digitales de implementación combinacional que optimizan el trabajo de la etapa demoduladora para a 9.600 bps.



ES 2 122 920 A1

DESCRIPCION

Modulador/demodulador de implementación digital adaptado a la norma HSS (Home System Specification) para transmisión de datos a través de la red eléctrica.

La presente invención se refiere a un modulador/demodulador de implementación digital adaptado a la norma HSS (Home System Specification) para transmisión de datos a través de la red eléctrica.

Durante los últimos años el mercado y, consecuentemente, los desarrollos para aplicaciones de domótica han experimentado un destacado crecimiento.

De hecho, ha sido a lo largo de las últimas décadas que, comenzando por Estados Unidos y Japón, los estándares domóticos han ido viendo la luz y potenciando el desarrollo y diseño de equipos y sistemas inteligentes para entornos domésticos, empresariales e industriales.

En este mismo sentido, la Unión Europea, a través de sus programas de investigación y desarrollo (Programa ESPRIT en particular), ha establecido la correspondiente normativa, conocida como Home System Specification (HSS), que contempla diversos medios de transmisión, entre los que se encuentran la red de distribución de energía eléctrica (PL-Power Line-), el par telefónico (TP-Twisted Pair), contemplando para él dos diferentes modos de transmisión (TP1, TP2), y el cable coaxial (CC).

Todos estos medios, a excepción del primero de los citados (PL), están especialmente adaptados a las necesidades de la transmisión de datos, señales de control y, en su caso (TP2 y CC particularmente), de información (audio o/y video), pero presentan el inconveniente de requerir instalación específica, si se usan en entornos domésticos o industriales tradicionales.

Dicho inconveniente no existe en el caso de la red de distribución eléctrica, ya que aparece preinstalada en viviendas, oficinas, etc.

Es por ello que, a pesar de las limitaciones de este medio de transmisión, relativos a las fuertes variaciones de su impedancia y su atenuación fuera de la banda de bajas frecuencias (0-80 Hz), los considerables niveles de ruido que soporta (tanto ruido blanco, como de tipo impulsivo), las grandes tasas de interferencia esperables a causa de los equipos conectados/conectables a ella y la fluctuación de sus características de transmisión con el tiempo, su empleo como medio de comunicación domótica está teniendo un considerable auge.

La normativa HSS estipula una modulación FSK (por conmutación de frecuencias) para las señales a transmitir, con objeto de paliar los inconvenientes que acabamos de citar.

Sin embargo, los modems diseñados hasta la fecha se basan en técnicas de naturaleza analógica para las etapas moduladoras y demoduladoras, por lo que, a pesar de la modulación empleada, no se puede hablar de desarrollos de respuesta óptima.

Entre las propuestas existentes podemos citar las de SGS-Thomson, una de las cuales trabaja a 1200 bps y la otra a 2400 bps, con diseños de

chips específicos para cada una de ellas (ST 7536 y ST 7537, respectivamente).

Por otra parte, también la casa Philips propuso en su día el modem NE5050, basado así mismo en técnicas de modulación/demodulación analógicas.

Estas técnicas, si se circunscriben a moduladores/demoduladores convencionales, aportan soluciones altamente sensibles a las fluctuaciones de impedancia/atenuación, ruidos, etc., presentes en la línea.

Aunque la presencia de osciladores enganchados en fase (PLLs) analógicos (e incluso PLLs digitales) puede mejorar considerablemente la calidad de respuesta de los correspondientes modems en un entorno de comunicación como el ofrecido por un medio de transmisión como la red eléctrica, las características de dichos dispositivos siguen presentando inconvenientes, sobre todo las de respuesta dinámica, debido a su propia estructura y naturaleza (lazos realimentados -de segundo orden, por lo general, o de orden superior-), que plantea restricciones sobradamente conocidas y relativas a parámetros como tiempos y márgenes de captura, de mantenimiento y de pérdida.

Cierto que se ha propuesto soluciones digitales, pero no basadas en el empleo de la modulación FSK que exige la normativa HSS, sino en alternativas como las basadas en el empleo de técnicas "spread-spectrum" (ICSS1001, ICSS1002 e ICSS1003 de National Semiconductors, por ejemplo) que, por lo mismo, quedan invalidadas para las correspondientes aplicaciones domóticas HSS y, en consecuencia, prescindimos de comentar.

El modem que aquí se describe posee bloques electrónicos para modular y demodular la señal implementados digitalmente, según la descripción que vamos a ver a continuación.

La modulación/demodulación que se ha implementado, de acuerdo con lo recogido en la norma European Home System, Specification (versiones 1.1 y 1.2), es la denominada FSK (Frequency Shift Key -desplazamiento en frecuencia-), de forma que se asignan frecuencias diferentes, aunque próximas entre sí, para la transmisión del 1 lógico y del 0 lógico. Estas frecuencias son 131.9 kHz para el 1 lógico y 133.1 kHz para el 0 lógico, obtenidas a partir de la especificación anteriormente mencionada, que asigna para la modulación/demodulación FSK una frecuencia llamada central de 132.5 kHz y una frecuencia llamada de desviación de ± 0.6 kHz, de manera que la frecuencia empleada para transmitir el 1 lógico se obtiene restando a la frecuencia central la frecuencia de desviación, y la frecuencia para transmitir el 0 lógico se obtiene sumando a la frecuencia central la frecuencia de desviación.

Para este diseño, y en la descripción que aquí se realiza, se ha empleado la lógica digital positiva, empleando el tipo de notación más usual para ésta, de forma que tomaremos como 1 lógico el nivel alto de tensión y como 0 lógico el nivel bajo de tensión, cuyos respectivos valores en voltios dependen de la tecnología empleada. En nuestro caso, el valor alto de tensión es del orden de 5 voltios, y el valor bajo de tensión es del orden de 0 voltios. En cualquier caso, señalar que

las señales que se describen o mencionan en los bloques digitales de modulación o demodulación sólo pueden tomar dos niveles lógicos 1 lógico ó 0 lógico.

Con el fin de comprender más fácilmente el objeto de la invención, a continuación se refiere un ejemplo práctico de ejecución meramente enunciativa y en ningún caso limitativo de la misma, todo ello con referencia a los dibujos adjuntos; en los que:

La figura 1 muestra una vista esquemática del modulador de la invención.

La figura 2 muestra una vista esquemática del demodulador de la invención.

Se comienza por la descripción del bloque modulador. Este bloque recibe una serie de señales que se detallan a continuación:

- Rx/Tx, la cual determina si el modem está transmitiendo (para lo cual esta señal estará a 0 lógico) o si está recibiendo (para lo cual esta señal estará a 1 lógico).
- Tx, señal que indica el dato a transmitir (0 lógico o 1 lógico).
- Señal de reloj, de una frecuencia de 28.63636 MHz.

Este bloque posee una única señal de salida, la cual otorga la correspondiente señal modulada correspondiente a la señal Tx de entrada.

El funcionamiento básico del bloque modulador (Fig. 1) se basa en un divisor de frecuencia implementado con un contador de 8 bits. La señal de reloj de entrada de este contador es de 28.63636 MHz, y a partir de esta señal se han de obtener las frecuencias correspondientes al 0 lógico y al 1 lógico. Esto se realiza mediante la división de la señal de reloj por 217 para obtener la frecuencia 131.9 kHz correspondiente al 1 lógico, y por 215 para obtener la frecuencia de 133.1 kHz correspondiente al 0 lógico. Con esta base de partida se ha elegido una implementación que permite, por un lado, que la señal de salida modulada sea lo más simétrica posible, es decir, que el tiempo que dura la señal a nivel alto es prácticamente el mismo tiempo que dura la señal a nivel bajo, y además que el cambio de transmisión entre un 1 lógico y un 0 lógico en la entrada Tx, o viceversa, se haga en fase, es decir, respetando los tiempos de los semiperíodos de la señal modulada de salida y comenzando siempre en un nivel bajo.

Para ello se parte de un estado inicial del contador en el que todas sus salidas están a 0 lógico. El contador se activa (se habilita) cuando el sistema recibe orden de transmitir, es decir, cuando la señal de control Rx/Tx se hace 0 lógico. En ese momento la señal del dato a transmitir (Tx) tendrá valor 0 lógico ó 1 lógico. Supongamos inicialmente que el valor de Tx es cero lógico. La salida del contador se lleva a dos comparadores. El primero de ellos nos detecta cuando la salida del contador atraviesa por la mitad del valor por el cual se hace la división de frecuencia (en la figura 1, comparador cuya entrada B se denomina MITAD). Para el caso del 0 lógico este valor es 108. Mientras el contador no alcanza el conteo

108, la salida del comparador (señal MOD) es 0 lógico. En el momento en que este valor es superado, es decir, la salida del contador es estrictamente mayor que 108, al salida del comparador (señal MOD9 es 1 lógico. El segundo comparador (en la figura 1, comparador cuya entrada B se denomina FINAL), detecta cuándo el contador llega a su conteo máximo (para el caso del 0 lógico, este valor es 216). En ese momento la salida del segundo comparador se hace 1 lógico, y esta señal es llevada a la entrada de reset (borrado) del contador. Debido a que el reset de este contador es sincrónico, el borrado del contador, y por consiguiente, el comienzo del ciclo descrito, se produce en el conteo 217, número por el cual es necesario dividir la frecuencia del reloj de entrada para obtener la frecuencia con la que se modula el 0 lógico.

El comportamiento del circuito descrito es idéntico para el caso en que la entrada del dato a transmitir es 1 lógico, con la salvedad de que el primer comparador compara con el número 107, y el segundo compara con el número 214, determinando un ciclo completo cada 215 conteos.

Las entradas B de ambos comparadores provienen de dos multiplexores. El primero de ellos (cuya salida C se denomina MITAD) posee a su entrada los dos valores de conteo intermedios, es decir, 108 para el 0 lógico y 107 para el 1 lógico. El segundo de ellos (cuya salida C se denomina FINAL) posee a su entrada los dos valores de fin de conteo, 216 para el 0 lógico y 214 para el 1 lógico. La entrada de control Tx determina cual de esos valores de comparación se llevan a los comparadores. La señal Tx se sincroniza con el reloj de entrada a través de un biestable tipo D, y la salida de este biestable (denominada CONTROL) es la que controla los multiplexores. Cuando Tx es 0 lógico se llevan a los comparadores los valores adecuados (108 y 216), y cuando la señal Tx es 1 lógico se llevan a los comparadores los valores que corresponden para este caso (107 y 214).

Se describe a continuación el bloque demodulador (Fig. 2). Este bloque posee dos entradas:

- La señal digital que posee la información modulada transmitida por la línea eléctrica, señal que llamamos LINEA.
- Señal de reloj de 28.63636 MHz, compartida con el bloque modulador.

Y posee dos señales de salida:

- Rx, señal del dato demodulado, o dato recibido.
- CD, Carrier Detect (detección de portadora), señal que indica al elemento receptor de los datos que salen del modem que hay actividad en la recepción, es decir, que la señal que se está demodulando posee alguna de las frecuencias asignadas al 0 lógico o al 1 lógico.

La demodulación consiste en detectar la frecuencia de la señal LINEA, y computar si esa frecuencia corresponde a la de transmisión del 1

lógico o del 0 lógico, en cuyo caso se proporciona a la salida el dato correspondiente por la señal Rx, y se informa de la recepción haciendo activa la señal Carrier Detect, CD (detección de portadora).

El método que se emplea para la demodulación consiste en hacer que un contador cuente el número de ciclos de la señal de reloj de 28.63636 Mhz que transcurren en el intervalo de tiempo correspondiente a 8 ciclos de la señal que entra por LINEA. Como la señal LINEA sólo posee, en las condiciones normales de transmisión, señales a dos frecuencias conocidas, esto es, 131.9 kHz cuando se transmite el 1 lógico, y 133.1 kHz cuando se transmite el 0 lógico, en el tiempo correspondiente a 8 ciclos de esas señales el número de ciclos que transcurren de la señal de 28.63636 Mhz es conocido: 1737 ciclos en el primer caso y 1721 ciclos en el segundo caso. Un contador de 12 bits se encarga de efectuar este conteo, el cual es almacenado por un registro de 12 bits. Así pues, a intervalos regulares de tiempo, cada 8 ciclos de la señal que entra por LINEA, se almacena en el registro de 12 bits el valor digital del conteo que ha alcanzado el contador de 12 bits. Una vez efectuado el almacenamiento, el contador se pone a 0 y comienza de nuevo el conteo y posterior almacenamiento. El contenido del registro es decodificado para determinar si el conteo alcanzado por el contador corresponde a alguna de las frecuencias esperadas. Para determinar si la señal recibida es un cero lógico o un uno lógico, (es decir, para determinar la salida Rx), se establece un umbral en el conteo: si éste es igual o inferior a 1727, la salida Rx se pone a 0 lógico, y si el conteo es superior a 1727, la salida Rx se pone a 1 lógico. Hay que señalar que en notación binaria, en el paso del número 1727 al 1728, el séptimo bit (contados de menos significativo a más significativo), es decir, el bit denominado SC6 en la salida del registro de 12 bits, pasa de ser 0 lógico a ser 1 lógico, por lo que la decodificación del paso por el umbral indicado (conteo 1727) puede ser implementado asignando el bit SC6 como salida Rx.

La segunda señal generada por el bloque demodulador es la de detección de portadora (CD, Carrier Detect). Para la implementación de la señal CD se establece una ventana para determinar si la frecuencia recibida corresponde al 0 lógico o al 1 lógico: se considera 0 lógico cuando el valor recogido del contador está comprendido entre 1712 y 1727 conteos, y se considera 1 lógico cuando el valor recogido del contador está comprendido entre 1728 y 1743 conteos. Si se cumple alguna de las condiciones citadas, la señal CD se hace activa. La decodificación de la señal CD se efectúa por un conjunto de puertas lógicas AND y OR según se ve en la figura 2.

Así pues, en el bloque demodulador se obtiene una señal que indica si el dato recibido es 0 lógico ó 1 lógico en función del conteo de frecuencia descrito anteriormente, y además una señal que indica que la frecuencia de la señal que se recibe por la entrada LINEA corresponde a alguna de las esperadas. En el sistema que aquí se describe la detección de portadora se activa cuando la señal LINEA posee cualquier frecuencia comprendida entre 131.43 kHz u 133.81 kHz, es decir,

se comporta como un filtro paso banda entre las mencionadas frecuencias. Es interesante destacar que esta implementación digital permite realizar la detección de portadora por frecuencia, en lugar de la detección por amplitud (menos precisa y menos rápida) que realizan las implementaciones analógicas. Convienen señalar que el dato recibido en el bloque demodulador sólo tiene sentido cuando la señal CD (detección de portadora) es activa. En otro caso, la señal recibida por LINEA no corresponde a las frecuencias asignadas al 1 lógico ó al 0 lógico, y por tanto se ha de entender que lo recibido por la linea es ruido.

A la vista del proceso de demodulación que se ha descrito, es necesario incidir en que el tiempo de duración de un bit para la velocidad de transmisión indicada en la norma HSS versión 1.2, que es de 2400 bps (bits por segundo), el sistema toma un número de muestras promedio de 3.5, y por tanto, debido al ruido inherente al medio físico de transmisión, puede ocurrir que haya, de manera espúrea, valores falsos en el resultado de la demodulación, tanto en la señal Rx (dato recibido) como en la señal CD (detección de portadora). Para evitar este fenómeno se han añadido una serie de filtros digitales que actúan después de obtener estas dos señales (Rx y CD) que eliminan los resultados falsos y reducen el ancho de banda de las señales, es decir, el número de transiciones que pueden producirse en el tiempo de duración de un bit.

Como hemos visto en la descripción de la etapa demoduladora, cada ocho ciclos de la señal que entra por LINEA se establece si la frecuencia de esta señal corresponde al 0 lógico o al 1 lógico, y se establece un valor para Rx y CD. Según esto, la frecuencia de trabajo del sistema demodulador es del orden de 16 kHz, frecuencia a la que denominaremos f0. Para el sistema de filtrado se ha dispuesto un registro de desplazamiento de 3 bits que adquiere la señal a la frecuencia f0. A la salida de este registro se ha implementado una función combinacional que compara el valor del bit central del registro de desplazamiento con el valor de los bits vecinos en el mencionado registro. Se establece que ese valor central no puede ser 1 lógico si los dos valores vecinos son 0 lógico, e igualmente que el valor central no puede ser 0 lógico si el valor de los bits vecinos es 1 lógico. En estos dos casos se establece que el valor central es el resultado de un fenómeno espúreo, y se fuerza a que su nuevo valor sea idéntico al de sus vecinos. En cualquier otro caso, se mantiene sin variación el valor del bit central. Con esto conseguimos filtrar el ruido, y a la vez reducimos a la mitad el ancho de banda de las señales Rx y CD.

Denominando D0, D1 y D2 a los valores de bit almacenados en el registro de desplazamiento, y asumiendo que el registro se llena comenzando por D0, la función combinacional que sirve para implementar el filtro descrito tiene la siguiente expresión booleana: $D_0 * D_1 + D_0 * D_2 + D_1 * D_2$, entendiendo que notamos con el signo * la operación lógica AND y con el signo + la operación lógica OR.

Con esta misma técnica de filtros digitales de implementación combinacional podemos seguir reduciendo el ancho de banda de las señales de sa-

lida del bloque demodulador (Rx y CD), hasta la frecuencia más oportuna, con sólo ir añadiendo más etapas en cascada (es decir, la salida de una a la entrada de la siguiente). En concreto, en la implementación que aquí se describe se ha realizado un diseño que permite trabajar a 1200 bps (compatible con el primer modem comercializado por SGS-Thomson, ST7536), 2400 bps (versiones 1.1 y 1.2 de la norma HSS). Para ello se han dispuesto en cascada tres filtros como el ya descrito, llevando a la entrada del primero de ellos la señal de recepción de datos que entrega el demodulador. Si se toma la señal tal y como sale del demodulador, con un ancho de banda del orden de 16 kHz, se puede trabajar a 9600 bps. Si la señal se toma a la salida del primero de los filtros se divide el ancho de banda por 2, esto es, se obtiene una frecuencia máxima del orden de los 8 kHz, lo que permite trabajar a 4800 bps. A la salida del segundo filtro obtenemos una frecuencia máxima para los datos del orden de 4 kHz, lo que permite trabajar a 2400 bps, y a la salida de la tercera etapa de filtrado la frecuencia máxima es del orden de 2 kHz, lo que permite trabajar a 1200 bps. Las correspondientes señales de control de modem permiten enviar a la salida de recepción de dato la señal adecuada proveniente de la etapa de filtrado, en función de la velocidad de transmisión con la que se trabaje.

La señal de detección de portadora también es sometida a varias etapas de filtrado en cascada, en concreto cuatro. La elección de este número de etapas de filtrado ha sido heurística, obteniendo un compromiso entre la fiabilidad y la rapidez de detección de portadora que se necesita para este modem.

Todas las etapas presentadas que integran el modem son de naturaleza digital. Existen, pues, diferentes modos de implementarlas. En nuestro caso se ha elegido una solución que presenta las ventajas de flexibilidad y corto tiempo de implementación: los dispositivos lógicos programables tipo FPGA (Field Programmable Logic Array). Estos dispositivos poseen una estructura interna formada por bloques lógicos con una estructura combinacional y secuencial sencilla, de manera que interconectándolos entre sí se obtienen funciones lógicas complejas. En concreto la implementación del modem se ha realizado sobre el dispositivo XC3030A-7 PC44C de Xilinx. Existen otras alternativas para la realización, como la fabricación de un ASIC (circuito integrado a medida), aunque esta solución sólo suele emplearse para fabricación de un alto número de unidades al año.

El ámbito de aplicación del modem se halla fundamentalmente en el campo de la domótica, disciplina que busca la utilización de la electrónica y la informática dentro de los hogares con el fin de aumentar la comodidad y sobre todo la seguridad, tanto de las personas como de los bienes materiales, aunque también es aplicable a entornos ofimáticos, gestión de edificios, etc.

Los consumidores se enfrentan cada día a una mayor variedad de productos y servicios para el hogar, como pueden ser receptores de televisión, sistemas de sonido o reproductores de video para entretenimiento, o bien sistemas de calefacción central, de gestión de consumo eléctrico, de seguridad y monitorización o servicios telefónicos, dentro del área de control y mantenimiento de las viviendas.

Tradicionalmente, estos productos y servicios tienen diferentes procedencias y normalmente poco en común. Sin embargo, se les pueden añadir mayores prestaciones combinando aplicaciones y productos, de forma que se comuniquen entre sí bajo la supervisión y control de un sistema inteligente central.

Esta comunicación entre los diferentes dispositivos de existentes en la vivienda puede llevarse a cabo a través de diferentes medios, dependiendo de las necesidades de transmisión. Estos medios, así como sus aplicaciones más típicas, son:

- par trenzado tipo 1, para control de propósito general,
- par trenzado tipo 2, utilizado en telefonía y para transmisión de datos,
- Cable coaxial, empleado en T.V., audio y radio,
- red eléctrica, para control simple,
- radio frecuencia, utilizada para control remoto, en teléfonos inalámbricos, etc.,
- infra-rojos, también para control remoto de dispositivos.

El modem que aquí se ha descrito ha sido diseñado para transmisión de datos a través de la red eléctrica, medio particularmente ventajoso en el sentido de que no necesita la instalación adicional de una nueva red de comunicación, ya que todas las casas, oficinas, etc. vienen provistas de su instalación eléctrica, con lo que se favorece enormemente el concepto de "plug and play" (conectar y funcionar) por el que apuesta la domótica.

REIVINDICACIONES

1. Modulador/Demodulador de implementación digital adaptado a la norma HSS (Home System Specification) para transmisión de datos a través de la red eléctrica, caracterizado por estar constituido por dos etapas básicas, la de modulación y la de demodulación, ambas de implementación totalmente digital, adecuadas a la normativa europea Home System Specification para la transmisión de datos a través de la red eléctrica, y con un diseño que permite trabajar a velo-

cidades superiores a las estipuladas en la citada norma, hasta un máximo de 9600 bps.

2. Modulador/Demodulador según la reivindicación 1 caracterizado porque comprende unas etapas de filtrado adicionales añadidas a las salidas del demodulador implementadas con una función lógica combinacional, que permiten adecuar y optimizar el ancho de banda de las señales citadas para trabajar a diferentes velocidades de transmisión y que incrementan la fiabilidad y versatilidad del sistema.

15

20

25

30

35

40

45

50

55

60

65

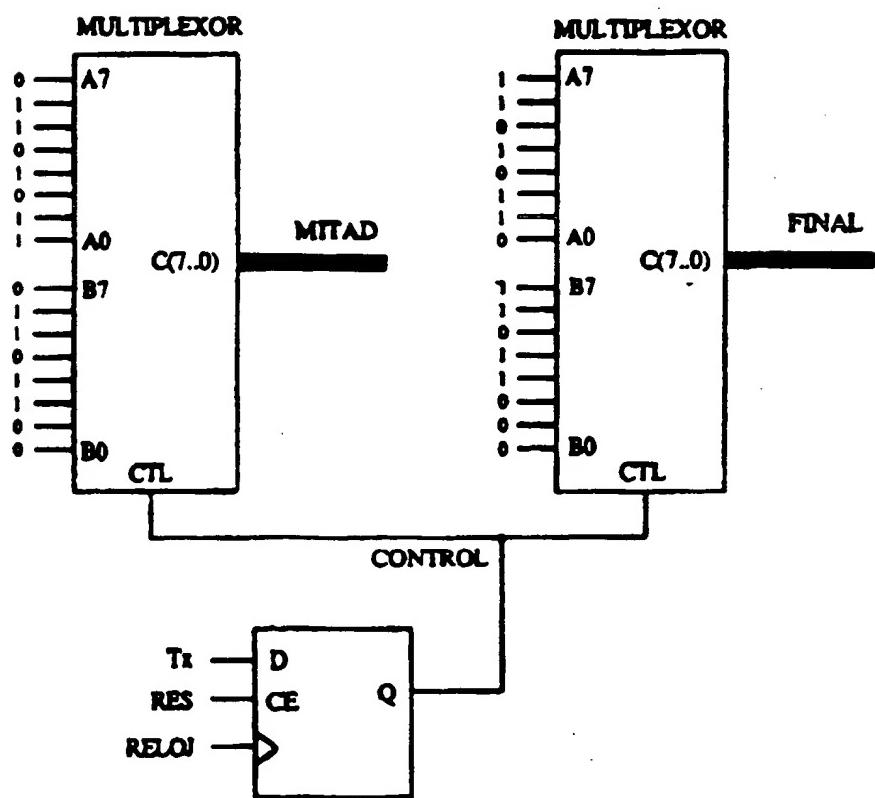
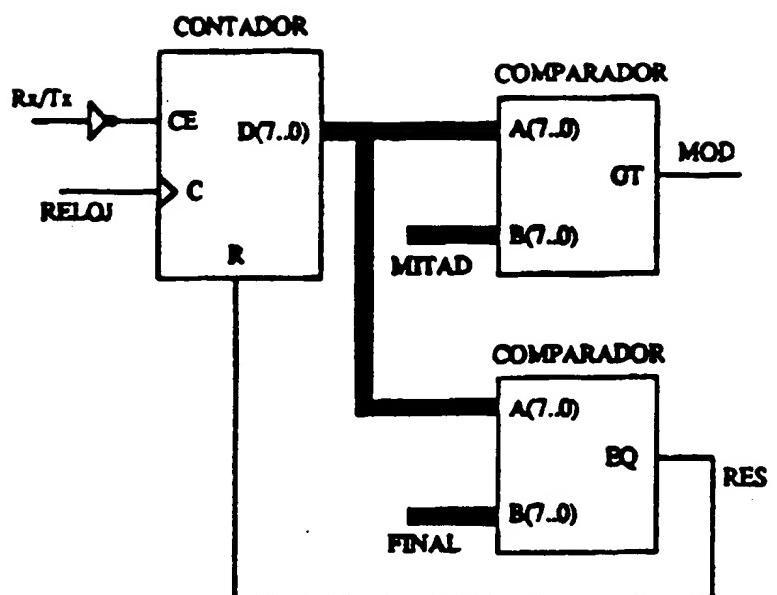


Figura 1.

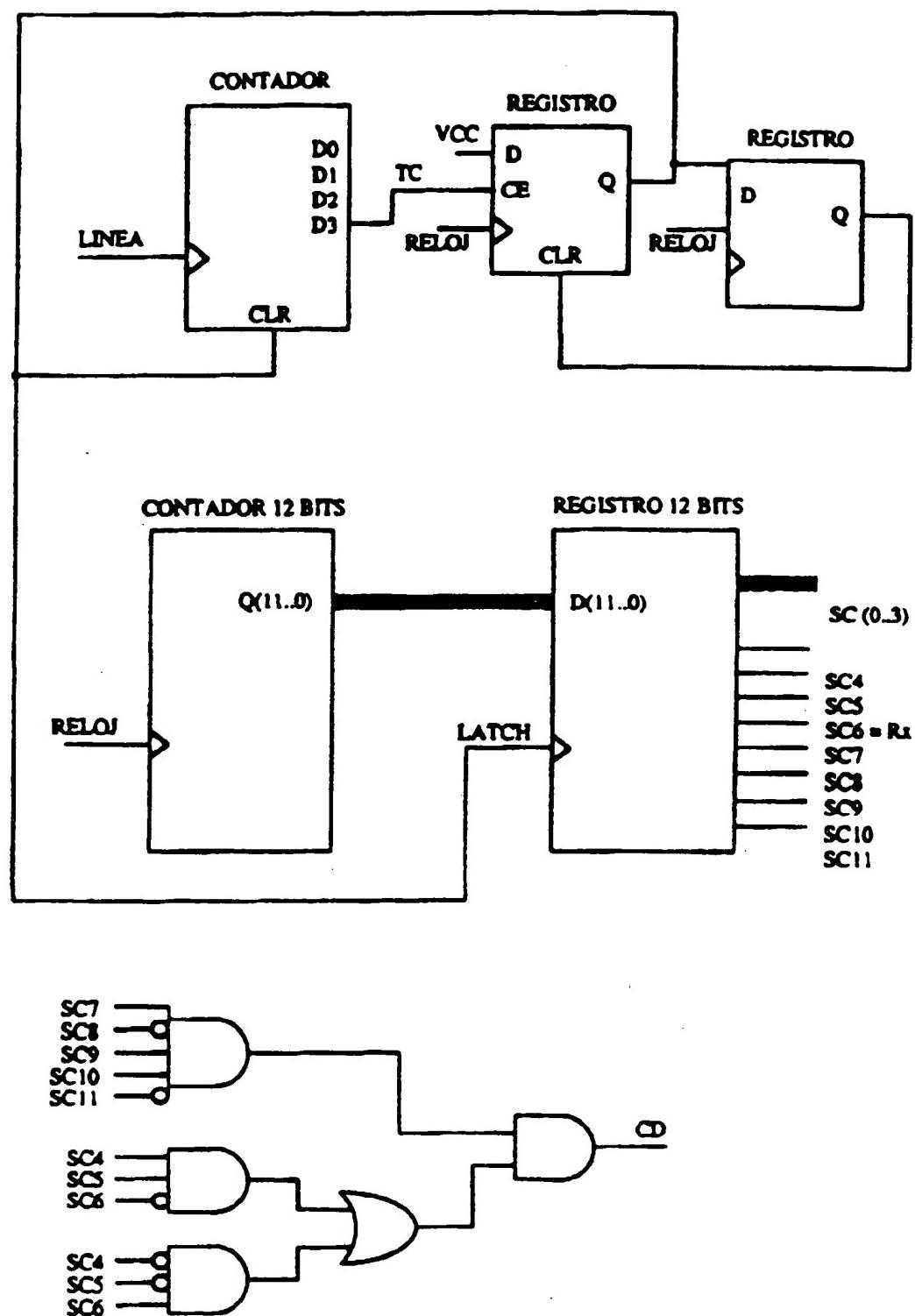


Figura 2.



OFICINA ESPAÑOLA
DE PATENTES Y MARCAS
ESPAÑA

(11) ES 2 122 920

(21) N.º solicitud: 9602696

(22) Fecha de presentación de la solicitud: 19.12.96

(32) Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TECNICA

(51) Int. Cl.⁶: H04B 3/54

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	US 4556866 A (GORECKI) 03.12.1985, todo el documento.	1,2
A	GUILLEIM, P. The European Home Systems Protocol-part 3. Electronic Product Design (Oct. 1997). Volumen 8, número 10, páginas 88,91,93.	1

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe

29.10.98

Examinador
M. Alvarez Moreno

Página
1/1

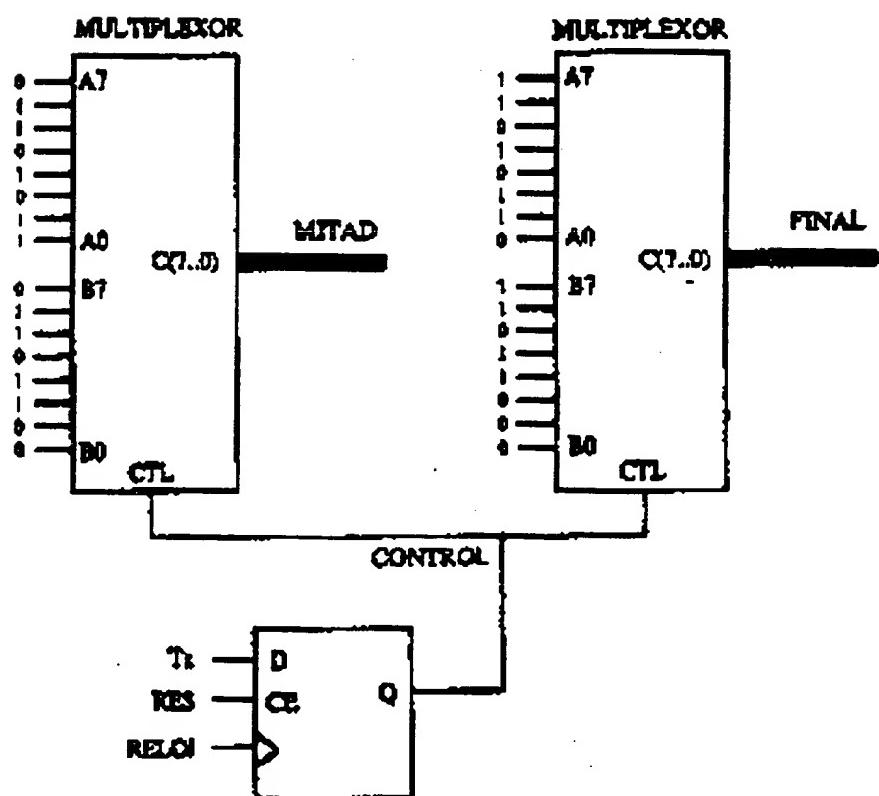
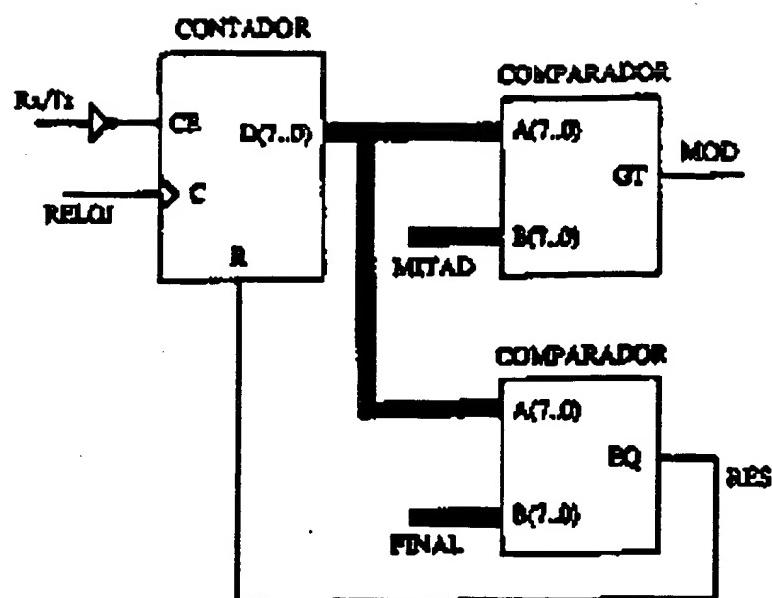


Figura 1.

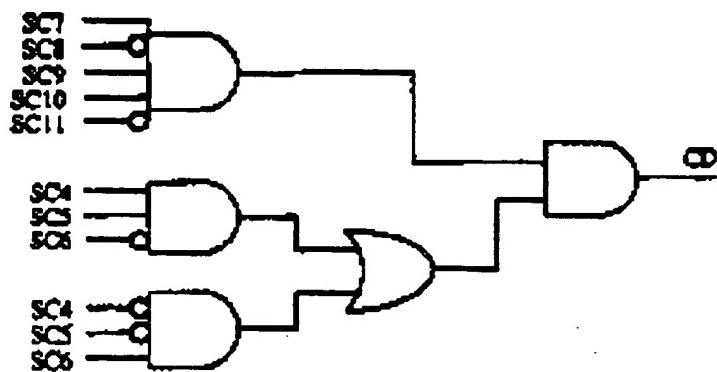
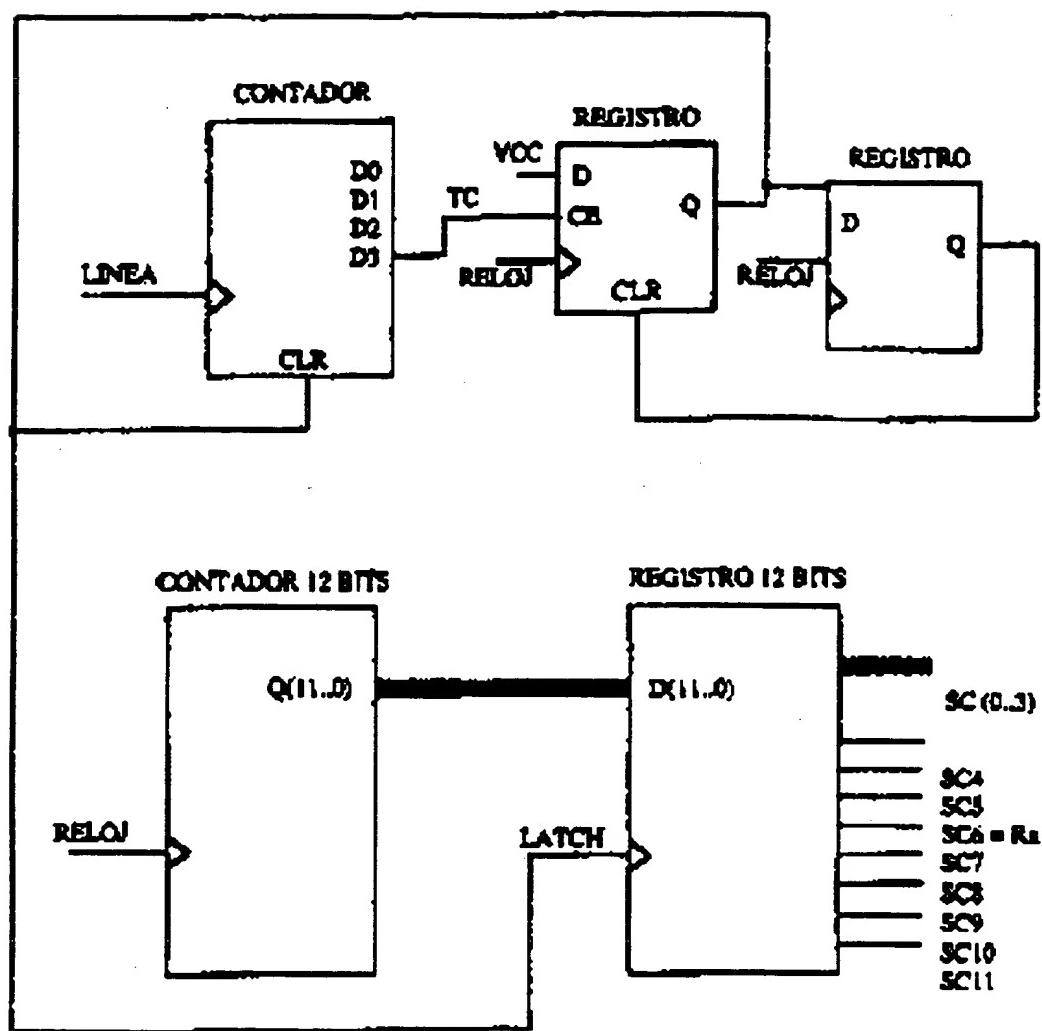


Figura 2.